

TODAY

変わるモノ作り



住友電気工業株式会社
執行役員
研究開発本部副本部長
岩野 宏

「モノ」が充足する現代、モノづくり企業が作る「モノ」の価値の根源が大きく変わりつつある。嚆矢となったのは2007年に発売された初代iPhoneかもしれない。それまでのモノづくり企業は、よりハイスペックな製品をより低廉なコストで供給すれば、すなわち良いモノをできるだけ「安く早く作る」ことができれば道は拓けた。しかし、言い古された言葉ではあるが、「モノづくり」から「コトづくり」への、あるいは「所有の価値」から「使用の価値」への移行に伴い、「安く早く作る」だけではなく、モノにサービスの付加価値を付けて「高く／長く売る」工夫を凝らさないと売れないか、売れても終わらなきコスト競争の泥沼でもがき苦しむ時代となった。

また、こうした、いわゆるハードとソフトの融合、大上段に構えた言い方をすれば、20世紀の工業経済から今世紀に入ってからサイエンス経済への移行は、競争力の源泉が資本金力、技術力から体系化された知のインフラ、エコシステムの活用や形成に変化してきたことを意味している。これはこれで、現場の一途な取り組みを最大の武器として新技術・新製品の開発を進めてきた多くの日本企業にとっては、新たな対応を迫られる課題となっている。

それでは、かかる時代変化の中で、材料が果たす役割は縮小していくのであろうか。持続的な成長を目指す企業の立場からすれば、それは否と考える。

何となれば、ソフト、サービス系の価値は、アイデア勝負の面が大きいだけに、そのアイデア次第では一瞬にして先行他社を逆転できる、あるいは逆転される。資本金力や（製造技術としての）技術力の参入障壁が低いので、新規参入も比較的容易である。その結果、業界の盟主が長く盟主であり続けることは難しい。しかし材料は、突然革新的な材料が開発され、一気に市場が席卷される可能性は否定できないが、一般的に長年

の経験の蓄積、データベースがものを言う。業界盟主の入れ替わりは激しくとも、ハードとしての製品自体は常に進化が求められており、材料に要求される機能もますます高度化してきている。競合他社との競り合いは厳しいが、この環境が劇的に変化するおそれは小さい。したがって、盟主が変わることはあっても、材料には常に高い要求が課され、かつ、それに応えられる者は限られるという意味で、その位置づけは寧ろ確固たるものとなっていくのではないだろうか。

参入障壁が高いから安定的だという訳ではない。材料分野は往々にして競合相手は限られるが、その中で最先端を走り続けなければならない。日々の努力の積み重ねは片時たりとも手を抜けないので、決して安易な世界ではないが、努力を怠らなければ、着実に成長と成功を勝ち得ていく分野ではないだろうか。

しかし、この分野にも第一原理計算に代表される、解析評価、計算材料設計等のマテリアル・インフォマティクスの波が押し寄せてきている。いくらAIが発達しようとも、材料開発は、丹念な材料探索と、最後は開発者の直感力、センスが決め手であることに変わりはないと思う（あるいは思いたい）が、科学知に基づく材料開発の途が、コンピュータの性能アップとともに現実のものとなりつつある。その場観察や動的計測、計算科学を駆使したシミュレーション等を活用することにより、材料の機能や挙動の解明が進み、試作点数も候補材料の絞り込みで大幅に削減できよう。いち早くこの手法を手の内に入れ材料開発のスマート化を図れば、開発のスピードアップや、資源やエネルギーの投入量削減により、劇的な競争力向上が期待できる。

実は、10年前の本稿にも、「材料開発の新展開」と題して、同趣旨のことを書かせて頂いた。しかし、当時はその萌芽は垣間見えていたものの、まだまだ夢の世界であり、国プロとして経産省からは予算要求されるも、夢物語だとされて結局予算は付かなかった。今これが着々と具現化されていることに喜びを感じる一方で、この波を捉えることが出来なければ、強いとされる日本の材料技術も衰退しかねないと懸念する。

チャンスは捉えることが出来なければ転じてリスクとなる。JRCMがこの分野でも大きな役割を果たされることを期待するとともに、自らもその一翼を担わなくてはならないと強く思うところである。

超低消費電力型光エレクトロニクス実装システム技術開発

-NEDO 委託事業-

技術研究組合 光電子融合基盤技術研究所

光エレクトロニクス実装研究推進部 主幹 中田正文

1. はじめに

クラウドコンピューティング、ビッグデータアナリシス、並びに AI の進展により、データセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されています。このため、情報通信機器の低消費電力化と高速化を両立できる革新的技術が求められています。

そこで、情報通信機器の省電力化と高速化を目的に、シリコンフォトニクス技術^{*1}を用いた基盤技術を確認することを目指し、平成 24 年度からの 10 年間計画として「超低消費電力型光エレクトロニクス実装システム技術開発」プロジェクトがスタートしました。本稿では本事業の概要および平成 28 年度までの成果の一部について紹介します。

2. 超低消費電力型光エレクトロニクス実装システム技術開発¹⁾

2.1 事業の目的

本事業では、電気回路と光回路の特徴を活かした要素技術の実装・集積化による新たな機能創出を図り、情報機器の小型化低消費電力化を実現し、システムレベルでの光配線技術の有効性を世界に先駆けて示すとともに、その事業化への道を拓いていくことを目的とします。

2.2 事業の内容

新たなデバイス構造に基づく、超低消費電力型の光エレクトロニクス実装基盤技術と、それらの要素技術を統合したシステム化技術等の開発を行い、データセンタレベルでの運用の可能性を検証します。これらの技術開発により、電子機器の省電力化、高速化、小型化が可能となる光エレクトロニクス技術の実現により、今後電力消費が急増すると予想される電子機器の消費電力を大幅に（サーバの場合は 30%）削減します。

光電子融合技術開発を通して、さまざまなエレクトロニクス機器に、光回路を容易に搭載できるようにし、産業インフラ機器、民生機器、高精細画像・医療機器等への適用を検討します。さらに、これらの研究成果を光電子集積デバイス・モジュール化、さらにはシステム化することにより、情報通信産業、半導体産業、回路基板産業など幅広いエレクト

ロニクス産業の活性化に貢献していくことを目指します。

2.3 開発目標

本事業では、情報機器の電力消費の低減を目的に、図 1 の開発計画に基づいて電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を開発します。最終目標として、多数の LSI を高集積した小型・高速動作・低消費電力な光電子融合サーバボードのプロトタイプを開発し、データセンタレベルで運用可能性を実証します。開発した成果については、事業化主体の新たな枠組み作りも含め、事業化推進を着実に図ると同時に、知財の取得及び事業化に必要な国際標準化にも積極的に取り組んでいきます。またこの分野は未開拓の技術開発分野であり、大学と連携して革新的デバイス技術の共同研究をコンカレントに進めていきます。

本事業における開発目標は LSI 間の電気配線を光配線化することにより、図 2 のように、信号伝送に必要な消費電力を 1/10 に削減します。また光配線接続により、接続ピッチを電気配線と比べ 1/10 の 0.1 ミリメートルまで縮小し、実装面積で 1/100 に小型化できます。これにより光配線を用いたサーバボードは電気配線方式と比べ、ボード全体の消費電力を 30%削減され、現状のラック大のサーバ機器が 1 枚のボードレベルに大幅に小型化が期待できます。

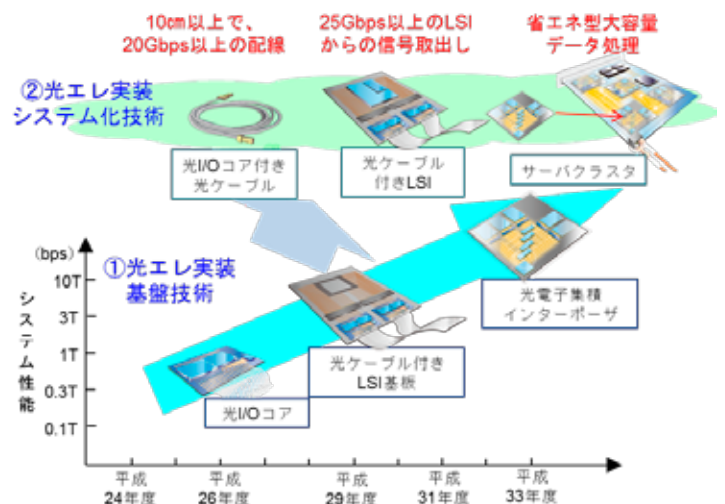


図 1. プロジェクトの開発計画

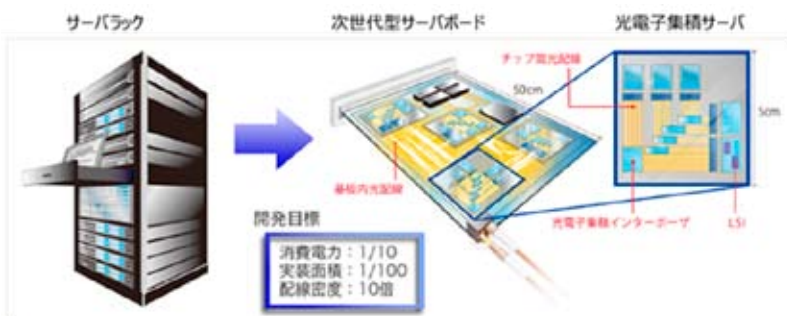


図2. 本プロジェクトの開発目標

2.4 研究開発の現状

2.4.1 超小型光トランシーバ (光 I/O コア) の技術開発²⁾

電子機器に用いられている電気配線によるデータ伝送では、速度や距離の増加に伴い伝送信号の劣化が大きくなるのに対して、光配線では、伝送信号の劣化が非常に小さく、消費電力の増加は極めて小さいというメリットがあります。光配線技術は、現在用いられているデータセンタ内の筐体間ばかりでなく、ボード間やチップ間配線への適用が期待されていますが、それらに適用するためには、光トランシーバの大幅な小型化・低コスト化と共に、更なる低消費電力化と電気・光信号の接続部の実装し易さが求められています。

本プロジェクトは、シリコンフォトニクス技術を用いた超小型光トランシーバ (光 I/O コア^{※3)}) を開発しました。世界最小の 5mm 角で、1 ギガビット (Gbps^{※3)}) あたり 5mW の消費電力、1 チャンネルあたり 25Gbps の伝送速度を実現し、マルチモードファイバを用いて伝送距離 300 m の高速データ伝送を実証しました。

本技術により、光 I/O コアが持つ光と電気の入出力機構に光配線を繋ぐことで、消費電力を抑えながら大容量データの高速な送受が可能となり、サーバなどの情報通信機器の小型、低消費電力、高速化とともにデータセンタの省エネ化が期待されます。

a. 世界最小 5mm 角の Si 基板上に 1ch 当たり 25Gbps の高速送受信機能の光 I/O コアを実現

光 I/O コアには、送信用及び受信用があり、以下に示す構成とすることで、光トランシーバとして必要な機能を 5mm 角と従来の 1/4 以下の世界最小の面積で実現しました (図 3)。

送信用光 I/O コアは、光源 (LD)、CMOS のドライバ IC、光を出力する光ピン、及び電気入力のための TGV (Through Glass Via) 付ガラスから構成されています。一方、受信用光 I/O コアは、受光器等を集積したシリコンフォトニクス集積回路基板、電気信号を増幅する CMOS の TIA (Trans Impedance Amp) -IC、光を入力する光ピン、及び電気出力のための TGV 付ガラスから構成されています。送信用光 I/O コアでは、光源 (LD) からの出力光が、スポットサイズ変換器を通して光導波路に結合し、光変調

器でドライバ IC からの 25Gbps の電気信号により光信号に変換され、回折格子結合器で光ピンを通して外部に出力されます。受信用光 I/O コアでは、25Gbps の入力光がゲルマニウム (Ge) 面受光器で光信号から電気信号に変換され、TIA-IC で増幅されて、外部に電気信号として出力されます。光信号と電気信号の入出力部は、光ピンと TGV を用いることで同一平面上に実現しました。

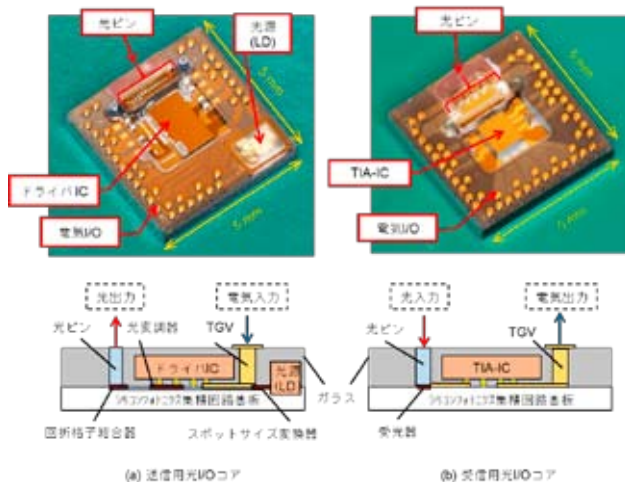


図3. 光 I/O コアの外観と構造

b. 1 ギガビット (Gbps) あたり 5mW の低消費電力を実現

光変調器を CMOS トランジスタと同じ MOS 構造とすることにより、低容量化、低損失化を図りました。さらに、変調器を複数に分割することで 0.9V での駆動を可能とし、波形制御等の付加回路を用いずに良好な波形品質を確保する事に成功しました。受信器の TIA-IC も 0.9V で駆動でき、送受信光 I/O コアペアで 1Gbps 当たり 5mW と従来の 1/3 以下の低消費電力化を実現しました。

c. 1ch 当たり速度 25Gbps で 300m 以上の伝送を実証

1.3μm 帯に最適化されたマルチモードファイバを用いて、25Gbps の高速伝送実験を行い、符号誤り率を測定した結果、300m 伝送後も 10⁻¹² 以下の特性を示しました (図 4)。これは、屋内のデータ伝送で要求される、実用上十分な光ファイバ長となっています。

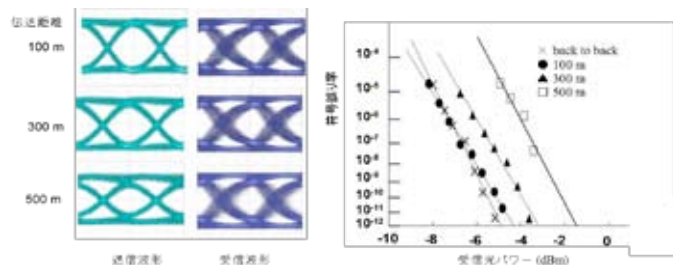


図4. 光 I/O コアの伝送特性

d. 装置内の光配線導入や、画像伝送等多くの用途に対応可能な実装容易性を実現

光の入出力部に接着固定される光ファイバは、従来、シングルモードファイバが用いられており、1ミクロン以下の高精度な位置合わせが必要でした。このため、光を使って接続時に光のパワーを観察（光軸調整）しながら、光の入出力部に光ファイバの端面を接着固定する必要があり、生産性向上、低コスト化の課題となっていました。今回開発した光 I/O コアでは、光の入出力部に光のビームサイズを制御可能な光ピンを用いることで、マルチモードファイバ^{*4}あるいは、樹脂系のマルチモード導波路との接合において、10ミクロン程度の位置合わせ許容度を実現しています。これにより、光軸調整を行わずに済み、電気 IC など一般的に用いられているフリップチップボンディング装置を活用して、光の入出力部に接着固定が可能となり、生産性向上、実装コスト低減に大きく貢献できます。

2.4.2 大容量 LSI 用光インタフェース技術 (1)-FPGA⁻³⁾

大容量 LSI 用光インタフェース向けに、前節で紹介した超小型光トランシーバ（光 I/O コア）を搭載した実装ボードと大容量 LSI と光 I/O コア間のデータ伝送で課題となっていた信号の反射、減衰をマネジメントする高速伝送技術を新たに開発、チャンネルあたり 25Gbps の高速伝送を実現しました。

本技術を基に、光 I/O コアが持つ光と電気の入出力機構に FPGA^{*5} や CPU^{*6} などの大容量 LSI 間をつなぎ、消費電力を従来比 1/3 以下に抑えながらボード全体で最大 2.4Tbps（ハイビジョン映画 36 時間分を 1 秒で送付可能な高速伝送技術に相当）の大容量データの高速での送受を実証することにより、サーバなどの情報通信機器の小型化、省電力化、高速化とともに省エネかつコンパクトなデータセンタの実現が期待されます。

a. 大容量 LSI 周辺に光 I/O コア搭載した実装ボードを開発

40mm 角の FPGA チップ周辺に 5mm 角の光 I/O コアを 16 個配置し、大規模 LSI 用の IO ボトルネックを解消する大容量光インタフェースに向けた光入出力付 LSI 基板と評価用実装ボードを開発しました（図 5）。



図 5. 大容量 LSI 周辺に光 I/O コアを搭載した実装ボード

b. FPGA から 1ch あたり速度 25Gbps で入出力伝送を実証

FPGA から 25Gbps の電気信号を光入出力付 LSI 基板上の送信用光 I/O コア (Tx) で光信号に変換した後、マルチモードファイバに結合、ループバックで受信用光 I/O コア (Rx) に戻し電気信号に変換して、FPGA で受信する高速伝送実証を行いました。25Gbps の高速電気信号を光 I/O コアに伝送するため、信号の反射、減衰をマネジメントした高速伝送技術を新たに開発しました。この時の電気信号及び光信号波形を図 6 に示します。これにより、FPGA 間を 25Gbps の光信号で結ぶことが実用上問題ないことを実証できました。

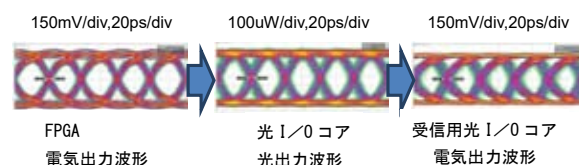


図 6. FPGA 間の 25Gbps 光信号伝送

2.4.3 大容量 LSI 用光インタフェース技術 (2)-CPU⁻⁴⁾

プロセッサ間を省電力・大容量につなぐ光配線技術として、シリコンフォトニクス光デバイスおよび実装技術による光インターコネクション用超小型光トランシーバに関する技術を開発しています。

開発した技術は、a. シリコンフォトニクスによる高密度光集積回路の性能を引出し、光トランシーバを高密度化すること、b. 高密度かつ省電力な光送信器の実現、c. 高温環境下における安定かつ省電力動作の光送信器の実現、d. 温度変化の大きい環境下における波長多重による高密度化の適用を可能とします。本技術を適用し、サーバ内の LSI に光インタフェースを直接搭載することにより、LSI の帯域ボトルネックを解消し、テラビット級の帯域を実現すること、かつインターコネクトを省電力化し、サーバ・スパコンの高性能・高効率化へ貢献することが期待されます。

a. ブリッジ実装構造による高密度光トランシーバの実証 (図 7)

シリコンフォトニクスによる光変調器と光受信器を高密度に集積した光集積回路とその駆動 CMOS 電子回路の一部を、フリップチップボンディング技術を用いて直接貼り合せ、かつ駆動電子回路の残りの領域を基板と直接接合することで、高密度かつ高品質に、電源と信号の接続が可能となるブリッジ実装構造（図 8）を開発しました。ブリッジ実装構造による高密度光トランシーバを試作し、25Gbps の光トランシーバ高速動作を実証しました。

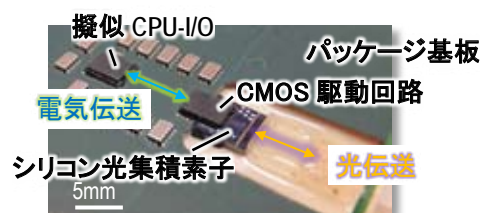


図 7. 高密度光トランシーバ

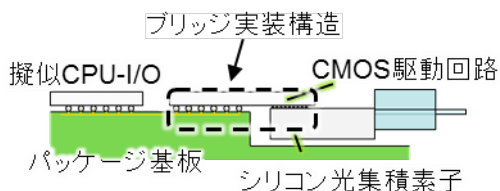


図8. ブリッジ実装構造による光トランシーバの断面図

b. プリエンファシスドライバによる省電力光送信器の実証

従来、光素子を高速に動作させるためには、光素子に一定の電圧をかける必要があり、光送受信回路の省電力化は困難でした。今回、光素子を低電圧駆動させながら、送信データの変化を捉えて大きな振幅になるように補い（図9）、従来の半分の電力で25Gbpsの高速動作を実現しました（表1）。

プロセス	28nm CMOS
伝送速度	25Gbps
電源電圧	0.9V & 1.8V
電力/速度	5mW/Gbps

表1. 試作した光送受信器の特性

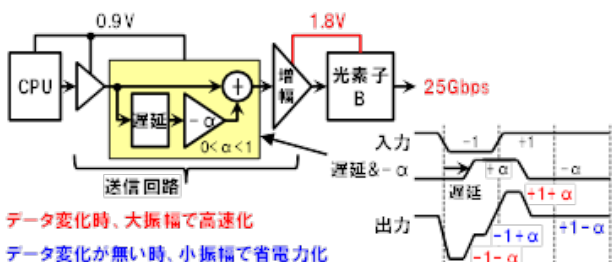


図9. 送信器プリエンファシスドライバ回路の概念図

c. 量子ドットレーザのシリコンフォトニクスプラットフォームへの直接搭載技術を開発（図10）

温度特性に優れる量子ドットレーザを、シリコンフォトニクスプラットフォーム上に直接搭載し、高効率に光接続を実現する技術を開発しました。量子ドットレーザ出力光を、シリコンフォトニクス導波路に高効率に導くための光ビームのサイズを徐々に変換するトライデント型スポットサイズ変換構造と、レーザチップを高精度に搭載するためのシリコンフォトニクスプラットフォーム上の台座構造を開発し、高効率光結合を実現しました。

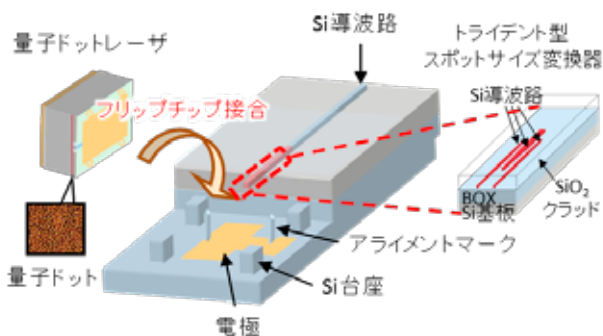


図10. 量子ドットレーザのシリコンフォトニクスプラットフォームへの搭載

d. フラットトップで動作波長範囲の広い波長多重通信波長フィルタを開発

シリコンフォトニクス技術を用い、平坦な動作波長特性を有し、温度変化に対しても動作可能な波長多重通信波長フィルタを開発しました（図11）。リング共振器と非対称マッハツェンダ干渉計を組み合わせることで、過剰損失1.5dBと低損失かつ±40℃の温度変化に相当する5nmの広い波長範囲で平坦な透過特性が得られました（図12）。

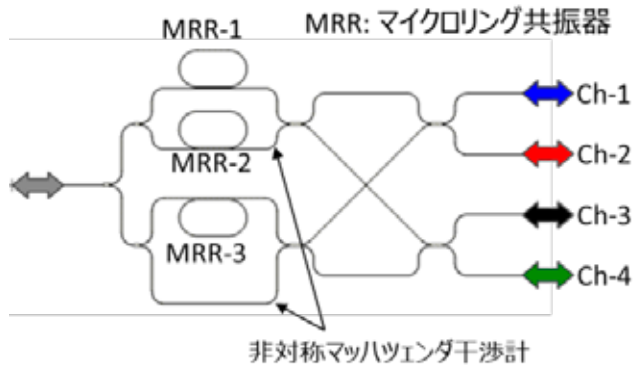


図11. 開発した波長フィルタ

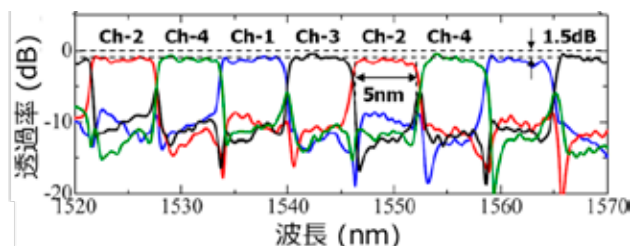


図12. 試作した波長フィルタの透過特性

2.5 事業実施体制

本プロジェクトは、企業、研究機関、財団法人からなるオール・ジャパン体制による「技術研究組合光電子融合基盤技術研究所（PETRA）」がNEDOから受託し、実施しています。当技術研究組合は、平成21年8月に設立され、光電子融合基盤技術を利用した新世代のデバイス及びネットワーク技術開発に関する研究開発を行っています。本プロジェクトは、PETRAを中核に産学官120名を超えるプロジェクト推進体制（プロジェクトリーダー荒川泰彦＝東京大学教授）を構築し、現在のLSI技術の直面する電力消費増大・微細化ネックの壁を乗り越え、光配線技術導入をキーにLSI実装システムのパラダイムシフトを図っていきます。開発体制図を図13に示します。

2.6 事業化に向けて

技術研究組合は、技術研究組合法の2009年7月改正により技術研究組合で開発した成果を、株式会社等に技術承継が可能になりました。組合の清算を前提としたそれまでの事業化と比べて、スムーズな会社化を図れる可能性があります。そこで本プロ

プロジェクトでは組合の新会社化と組合員企業による二方向からの事業化を推進しています。すなわち、PETRAの一部を分割し技術承継した新会社による事業化と、従来から行われていた技術開発成果を用いた組合員企業による事業化です。後者では、100ギガ動作の小型デジタルコヒーレント光トランシーバが既に事業化されています⁵⁾。

3. おわりに

平成24年度から10年間計画としてスタートした「超低消費電力型光エレクトロニクス実装システム技術開発」プロジェクトは、半分の5年間に経過しました。この5年間で、モバイル/IoTの進展に伴い、世界のデータ量は2年ごとに倍増⁶⁾するとともに、データセンター数およびそのサーバ数の増大が続いています⁷⁾。それと並行して、AI/ディープラーニングの進展により、大量に集まるデータが新たな価値を創出し始めています。これらの背景を受け、今後、セキュリティ、防災、先端医療、少子高齢

化等の様々の社会問題の解決に向け、膨大なデータを活かしたAIの活用が進展し、IoTの社会価値がますます増大すると考えられます。

データ量の増加とそれに伴うAIの進歩は、大きなコンピューティングパワーを必要とし、CPU/GPUの処理速度は約2年で2倍で増加し続けています。低消費電力化と高速化を両立できる革新的技術として、光エレクトロニクス実装システム技術の重要性がますます高まっています。AI技術の世界競争の激化に打ち勝っていくためにも、今後もオール・ジャパンでこの技術開発に取り組んでまいります。

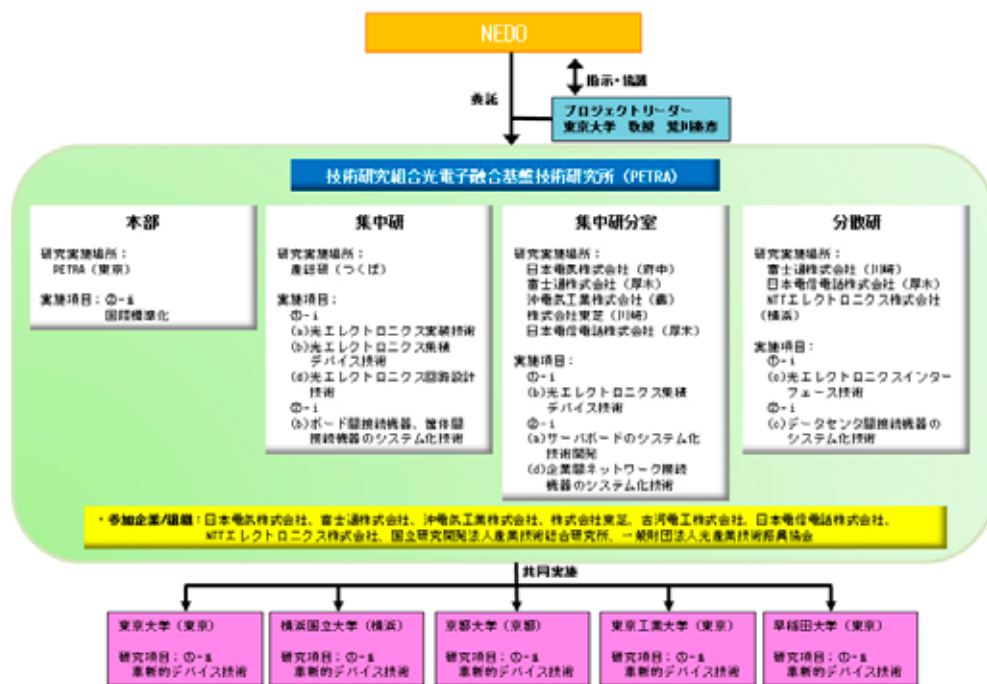


図13. 開発体制図

謝辞

本研究開発は、NEDOの委託事業「超低消費電力型光エレクトロニクス実装システム技術開発」により行われたものです。

参考文献

- 1) PETRA ホームページ <http://www.petra-jp.org/>
- 2) NEDO ニュースリリース http://www.nedo.go.jp/news/press/AA5_100367.html
- 3) NEDO ニュースリリース http://www.nedo.go.jp/news/press/AA5_100461.html
- 4) NEDO ニュースリリース http://www.nedo.go.jp/news/press/AA5_100715.html
- 5) NEDO ニュースリリース http://www.nedo.go.jp/news/press/AA5_100366.html
- 6) IDC 「The Digital Universe of Opportunities」
- 7) Cisco Global Cloud Index, 2015-2020; Synergy Research.

- ※ 1…シリコンフォトニクス技術：シリコン基板上に光素子を形成する技術。シリコンを用いることにより光回路を小型化でき、大規模集積が可能になる。また、光回路と電子回路を一体形成や製造コストの低減が可能になるなどの特長を持つ。
- ※ 2…光 I/O コア：シリコンフォトニクス技術を用いた超小型光トランシーバ
- ※ 3…1Gbps：1秒間に1ギガビットのデータを伝送可能であること。
- ※ 4…マルチモードファイバ：光ファイバの種類を示す。シングルモードファイバは長距離伝送に優れるが、光が伝搬するコア径が10μmと小さい。一方、マルチモードファイバは、伝送距離が短くなるが、コア径が50μmと大きいので、光ファイバの取り付けが簡便になる特徴を持つ。
- ※ 5…FPGA (Field Programmable Gate Array)：製造後に購入者や設計者が構成を設定できる集積回路で、デジタル信号処理等に用いられる。回路規模が大きなFPGAでは、高速インタフェースを多数備えている。
- ※ 6 CPU (Central Processing Unit)：情報処理機器において中心的な処理装置として働く集積回路であり、回路規模が大きなCPUでは、高速インタフェースを多数備えている。

The Japan Research and Development Center for Metals
JRCM NEWS / 第365号

内容に関するご意見、ご質問はJRCM 総務企画部までお寄せください。
本書の内容を無断で複製・複製・転載することを禁じます。

発行 2017年3月1日
発行人 小紫正樹
発行所 一般財団法人 金属系材料研究開発センター
〒105-0003 東京都港区西新橋一丁目5番11号 第11東洋海ビル6階
TEL (03)3592-1282 (代) / FAX (03)3592-1285
ホームページ URL <http://www.jrcm.or.jp/>
E-mail jrcm@oak.ocn.ne.jp